

≡AT1923≡

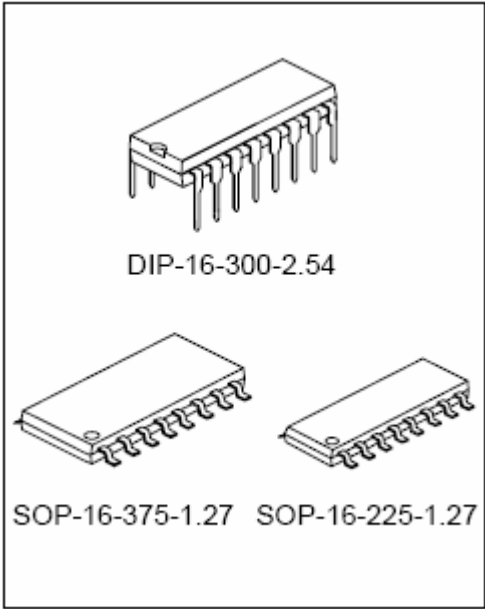
RDS解调器

AT1923 是一款 RDS 解调电路，该电路可以恢复通过 FM 无线电传播的无声 RDS 信息，该电路采用标准的 CMOS 工艺制造。

数据信号 RDDA 和时钟信号 RDCL 通过解调器（微计算机）做进一步处理。

主要特点:

- ◆ 二阶抗混淆滤波器
- ◆ 八阶 57KHZ 带通滤波器
- ◆ 二阶重现滤波器
- ◆ 时钟比较器和自动偏移补偿
- ◆ 57KHZ 载波再生
- ◆ 57KHZ RDS 信号同步解调器
- ◆ 带 可 变 分 频 计 数 器 的 晶 振
(4.332/8.664MHZ 晶振可选)
- ◆ 锁定双相数据速率的时钟再生器
- ◆ 带有积分和转储功能的双相系统解码器
- ◆ 微分解码器
- ◆ 信号量检测器
- ◆ 负载波输出

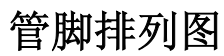


产品规格分类

产品	封装
AT1923	DIP-16-300-2.54
AT1923S	SOP-16-375-1.27
AT1923A	SOP-16-225-1.27

应用

RDS / RBDS 兼容的 FM 接收器，汽车音响，高保真立体声系统，FM 寻呼



管脚描述

管脚号	符号	功 能 描 述
1	QUAL	质量显示输出
2	RDDA	RDS 数据输出
3	Vref	参考电压输出（0.5VDDA）
4	MUX	多路信号输入
5	VDDA	+5V 模拟电压
6	VSSA	模拟地（0V）
7	CIN	输入时钟比较器的负载波
8	SCOUT	重现滤波器的负载波输出
9	MODE	振荡器模式/测试控制输入
10	TEST	测试允许输入
11	VSSD	数字地（0V）
12	VDDD	+5V 数字电压
13	OSCI	振荡器输入
14	OSCO	振荡器输出
15	T57	57KHZ 时钟信号输出
16	RDCL	RDS 时钟输出

极限参数 (Ta=25℃)

参 数	符号	参数范围	单位
模拟工作电压（pin5）	VDDA	0~6	V
数字工作电压（pin12）	VDDD	0~6	V
除低外所有其他管脚电压	Vn	-0.5VDDX~+0.5	V
贮存温度	Tstg	-40~+150	℃
工作温度	Tamb	-40~+85	℃
除了 pin9 和 pin10 外的其他管脚的静电操作	Ves	±300 注 1	V
		+1500~-3000 注 2	V

注：1. 相当于通过串联一个 $0\ \Omega$ 的电阻给 200pF 的电容放电。

2. 相当于通过串联一个 $1.5\text{K}\ \Omega$ 的电阻给 100pF 的电容放电。

电气参数

（除非特别说明， $V_{\text{DDA}}=V_{\text{DDD}}=5\text{V}$ ； $T_{\text{amp}}=25^\circ\text{C}$ ）

参 数	符号	测 试 条 件	最小值	典型值	最大值	单位
模拟工作电压 (pin5)	V_{DDA}		3.6	5.0	5.5	V
数字工作电压 (pin 12)	V_{DDD}		3.6	5.0	5.5	V
总工作电流	I_{tot}	I_5+I_{12}	—	6	—	mA
参考电压 (pin 3)	V_{ref}	$V_{\text{DDA}}=5\text{V}$	—	2.5	—	V
MPX 输入（管脚 4 电容之前的信号）						
RDS 幅度 (RMS 值)	$V_{\text{i MPX}}$ (rms)	$D_f \pm 1.2\ \text{kHz RDS};$ $D_f \pm 3.5\ \text{kHz ARI}; \text{ see}$ Fig.5	1	—	—	mv
最大输入信号（峰峰值）	$V_{\text{i MPX}}$ (p-p)	$f = 5 \pm 2\ \text{kHz}$	200			mv
		$f < 50\ \text{KHZ}$	1.4			v
		$f < 15\ \text{kHz}$	2.8			v
		$f > 70\ \text{kHz}$	3.5			v
输入电阻	R4-6	$f = 0\ \text{to } 100\text{kHz}$	40	—	—	$\text{K}\ \Omega$
信号增益	G8-4	$f = 57\ \text{kHz}$	17	20	23	dB
57KHZ 带通滤波器						
中 频	f_c	$T_{\text{amb}} = -40\ \text{to } +85\ ^\circ\text{C}$	56.5	57.0	57.5	KHZ
—3dB 带宽	B		2.5	3.0	3.5	KHZ
停止带宽增益	G	$D_f = \pm 7\ \text{kHz}$	31	—	—	dB
		$f < 45\ \text{kHz}$	40	—	—	dB
		$f < 20\ \text{KHZ}$	50	—	—	dB
		$f > 70\ \text{kHz}$	40	—	—	dB
输出电阻（管脚 8）	$R_o(8)$	$f=57\text{KHZ}$	—	26	—	Ω

比较器输入 (pin7)						
最小输入电平 (RMS 值)	Vi (rms)	f = 57 kHz	— —	1	10	mV
参 数	符号	测 试 条 件	最小值	典型值	最大值	单位
输入电阻	Ri		70	110	150	K Ω
振荡器输入 (pin 13)						
高电平输入电压	VIH	VDDD = 5.0 V	4.0	— —	— —	V
低电平输入电压	VIL	VDDD = 5.0 V	— —	— —	1.0	V
输入电流	Ii	VDDD=5.5V	— —	— —	±1	uA
数字解调器和输出 QUAL, RDDA, T57, OSCO 和 RDCL (管脚 1, 2, 14, 15 和 16)						
高电平输出电压	VOH	IQ = -20 mA; VDDD = 4.5 V	4.4	— —	— —	V
低电平输出电压	VOL	IQ = 3.2 mA; VDDD = 5.5 V	— —	— —	0.4	V
额定时钟频率	RDCL		— —	1187.5	— —	Hz
RDCL 跳动	Δ tRDCL		— —	— —	18	us
额定负载波频率 T57	fT57	note1	— —	57.0	— —	KHz
OSCO 输出电流 (pin 14)	IO	VDDD = 4.5 V; V14 = 0.4 V	1.5	— —	— —	mA
		VDDD = 4.5 V; V14 = 4.1 V	-1.6	— —	— —	mA
RDCL 输出电流 (pins 1, 2, 15 and 16)		VDDD = 4.5 V; V0 = 0.4V	3.0	— —	— —	mA
VDDD = 4.5 V; V0 = 4.1 V		-3.0	— —	— —	mA	
4. 332MHz 晶体参数						
XTAL 频率	f0		— —	4.332	— —	MHz
最大允许容差	Δ fmax		— —	±50	— —	10 -6
f0 调整容差	f0 调整容差	Tamb =2 ° C	— —	— —	±20	10 -6
		Tamb = -40 to +85 ° C	— —	— —	±25	10 -6
负载电容	CL		— —	30	— —	pF
谐振电阻	Rxtal		— —	— —	60	Ω
8. 664MHz 晶体参数						

XTAL 频率	f0		--	8.664	--	MHz
最大允许容差	$\Delta f_{\max}$		--	± 50	--	10 ⁻⁶
f0 调整容差	f0 调整容差	Tamb = 2 ° C	--	--	± 30	10 ⁻⁶
		Tamb = -40 to +85 ° C	--	--	± 30	10 ⁻⁶
负载电容	CL		--	30	--	pF
谐振电阻	Rxtal		--	--	60	Ω

注：信号 T57 相对于 SCOUT 输出的 ARI 载波相位超前 123° ±180°)

快速参考数据

参 数	符 号	最小值	典型值	最大值	单位
模拟工作电压 (pin5)	VDDA	3.6	5.0	5.5	V
数字工作电压 (pin 12)	VDDD	3.6	5.0	5.5	V
总工作电流	Itot	--	6	--	mA
RDS 输入幅度 (RMS 值; pin 4)	Vi (rms)	1	--	--	mV
信号 RDDA, RDCL, QUAL 和 T57 高电平输出电压	VOH	4.4	--	--	V
信号 RDDA, RDCL, QUAL 和 T57 低电平输出电压	VOL	--	--	0.4	V
工作环境温度	Tamb	-40	--	+85	° C

功能描述

AT1923 是一个应用于 RDS 的解调电路。它包含一个 57kHz 带通滤波器和一个数字解调器，用来再生多路信号器输出的 RDS 数据流。

滤波电路

多路信号通过一个带宽受限的二级抗混频滤波器，然后再通过一个 57kHz 的带通滤波器（带宽为 3 kHz 的带通滤波器）分离出 RDS 信号。滤波器通过转换电容技术实现，并由 4.332/8.664MHz 晶体振荡器输出的 541.5 kHz 的时钟频率锁定。然后信号通过重现滤波器使抽样信号平滑，并在输出前滤波出 RDS 信号。信号通过 AC 耦合到比较器（管脚 7）。比较器通过 228kHz 频率锁定（和解调器一个 57kHz 频率同步）。

数字电路

带有载波再生的同步解调器 (Costas 环电路) 使解调内部耦合，信号数字化。抑制的载波从两边频带 (Costas 环) 恢复。解调信号通过低通滤波器后是一个接近于余弦信号的脉冲信号，并和下面的积分和转储电路相联。

数据频谱的形状分裂成相同的两部分，并在发送器和接收器中处理。理想的数据滤波器应该等同于这些部分。

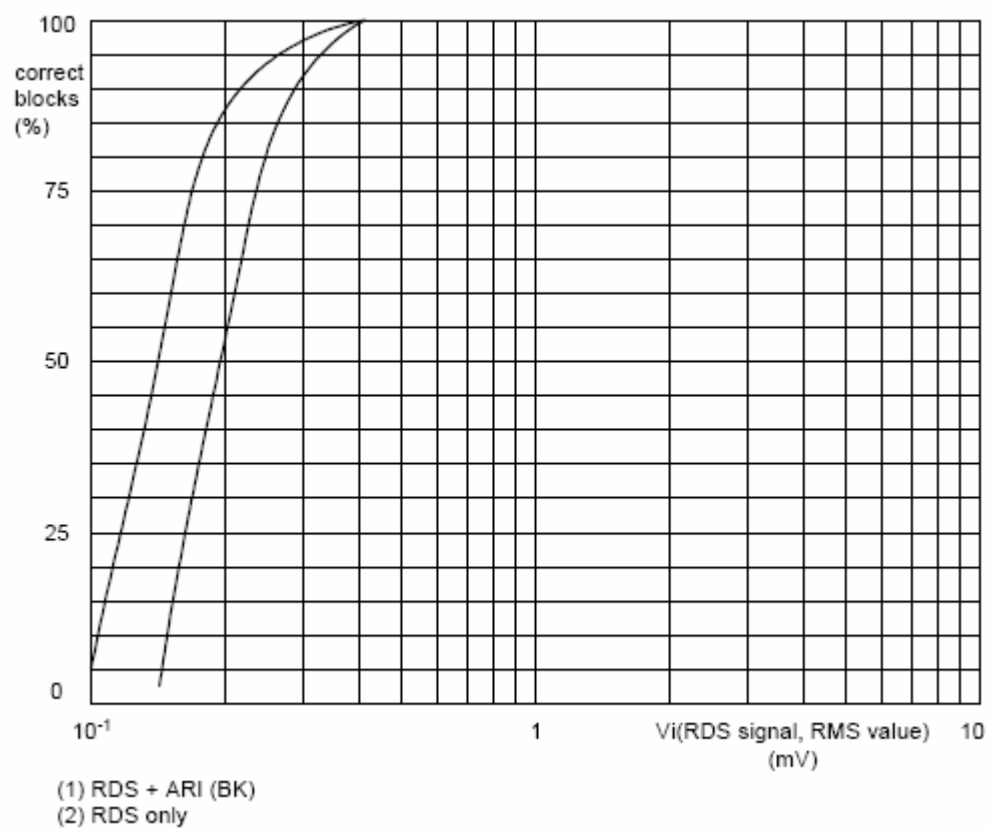
发送器和接收器的所有的数据-频道-频谱形状都 100% 近似于 roll-off。

积分和转储电路对一个时钟周期执行一个积分，这个导致了一个检波和一个有效的 RDS 信号形成双相系统，从积分和转储电路输出。最后一级的 RDS 数据通过双相系统解码和微分解码处理。通过在 RDDA 上输出的数据时钟 RDCL 同步后，双相系统解码器的输出通过一个特殊的电路暗示是好数据 (QUAL = HIGH) 还是坏数据 (QUAL = LOW)。

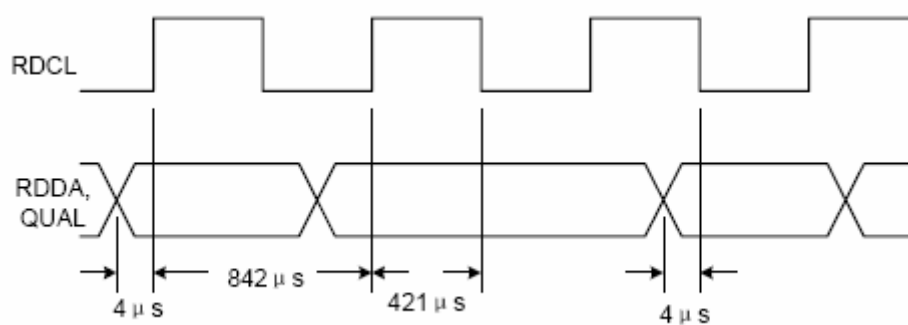
定时电路

4.332/8.664MHz 的晶体振荡器采用固定和可变的分频器，产生 1.1875kHz RDS 时钟 RDCL，这个数据和引入的数据同步。在时钟转换后，数据在时钟沿保持有效，持续 399ms。在时钟改变前数据改变的时序是 4ms。至于数据改变时，那个时钟发生转换要取决于锁定条件和随机条件。在接受状态不良的情况下，可能发生相位错误，此时时钟信号保持连续，数据通常为 1.5 个时钟周期。一般相位错误在基本周期时不会发生。在这种情况下，如果发生相位错误，两个错误之间的最小间隔取决于被发送的数据。最小间隔不能少于 16 个时钟周期。质量位只有在数据改变时才改变。

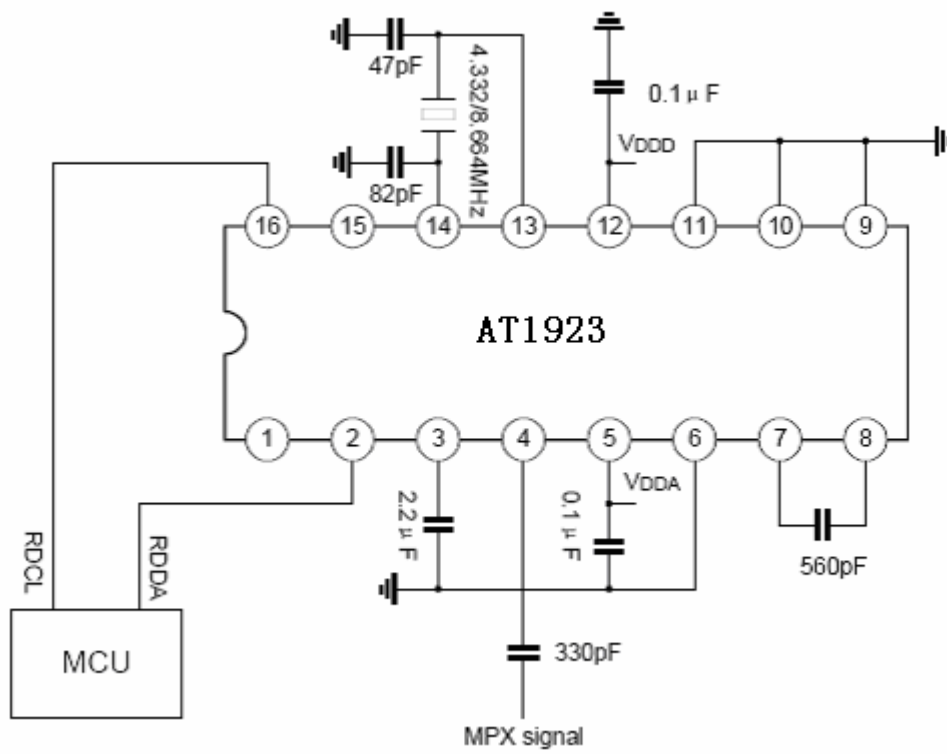
典型的 RDS 灵敏度特性



时序图



典型应用电路图



封装外形图

封装外形图

