

ÿF

HR3992_0/ÿi¼+X PWMx f+e#q ,´ ü ± Þ(©
 !•F +e jP; Ø ~ , EÄ *P; Ø7- ÈEî ` 35V¼f 1.5 AÄµG
 * Ê £L &L\$,´ PWM#q x f & ç+eD FJ E÷ b>| Õ
 F >|5F0; È - ; Æ X ´ > Ä > F\$' 8> ÿ Q ? Ä
 FJE÷ b>| k4i ÈY+X T Z •" (©4i W DA6 8 0 Z ò
 63+e » • ä ÈN´ OCOE-+e#q Ä •" (©,´ x f qAè 0 W&¥
 #k,´ Î)à È. x f È J/ÿ!•F Q ? È Þ P!•F ` ¢!•P;
 Ø ÄCOE-+e#q 0 ? ÎGÿ j 1.56%È-() ¼ 0 W I Ä
 X+e#q> ÿ OL\$ È <!• ¢#q+eD qAè+e#q#q4ÿ ~ ,
 FJ+eLR_{os},´ DMOS Ø1Ñ ÈF g-1 è ¶ FG U€4ã ¼ ±1Ñ È
 i´ ¶ PWMCE &,´ Î6G Ä
 µG Ô+eD 5 Ö VF% NÍE÷ Ô Ä!P »K1 È
 úE#q Ô Ä=M0?±(©[,´ :+e & ç Ä
 HR3992 } È 0/ÿ Cd(w 1>õ ÖV 9?(Mb!:- ,´
 TSSOP24 1>õ È7-9 x i´ ¨ W7- È D _ Jõ x ñ È
 E7J vG÷+X00Á KQ+eKp Ä

(©&é

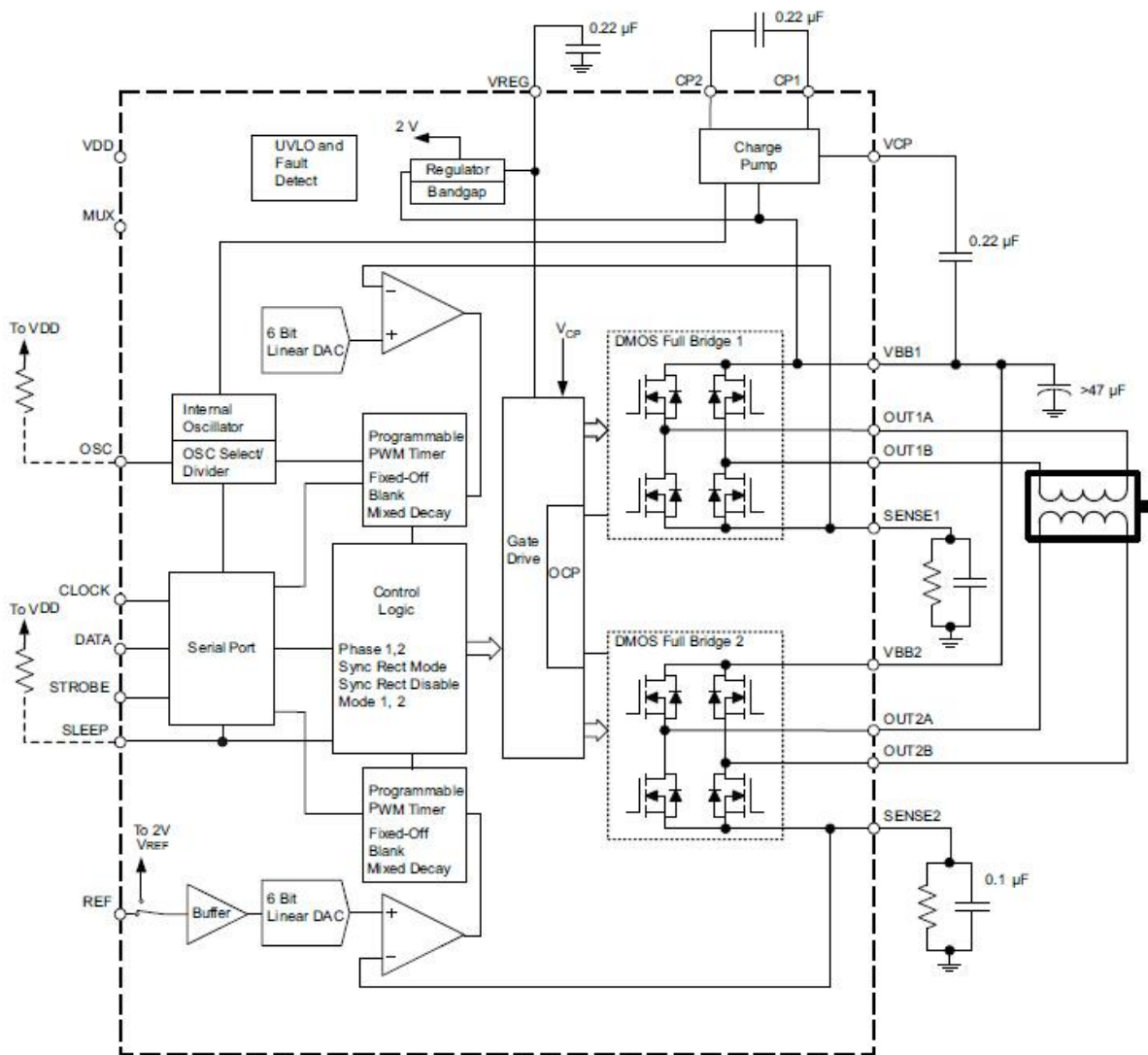
½ f 1.5 A 35VÈÄ *
 ½ ~ ,FJ+eLk R_{os(ON)}
 ½6bits 4i WDACs Î)à P!•F
 ½ 5F0;´ > Ä > ¼\$' 8> ÿ Q ?
 ½ µG 4M&JÍ
 ½ b>| k4i x f
 ½L} ~ Î6G,´ <!• ¢#q Î7-
 ½ ñ é 3.3V ¼5VFkEÁ+e £
 ½E#q Ô
 ½ µG !P »K1 È ¼E÷' £ Ý Ô
 ½)´. D Ô
 ½COE-. D Ô
 ½ ~+e#q-!-P Q ? ¼0ªL" Q ? È<10uA

1>õ ' ?

» 'F9

Part Number	Package
HR3992	TSSOP24 with exposed thermal pad

24 pin TSSOP
 with exposed thermal pad



+eD OE ±L€ at Ta = 25C

Parameter	Symbol	Conditions	Ratings	Unit
Load Supply Voltage	V _{BB}		35	V
Output Current	I _{OUT}		±1.5	A
Logic Input voltage	V _{IN}		-0.3 to 7	V
Logic Supply voltage	V _{DD}		7	V
Motor Output Voltage			-2.0 to 37	V
Sense Voltage	V _{SENSE}		-0.5 to 0.5	V
Reference Voltage	V _{REF}		3	V
Operating Ambient Temperature	T _A	Range S	-20 to 85	°C
Maximum Junction	T _{J(max)}		150	°C
Storage Temperature	T _{stg}		-55 to 150	°C

$\pm e(\odot W^1$ at $T_a = 25^\circ C$, $V_{BB} = 35 V$, $f_{PWM} < 55 KHz$

Parameter	Symbol	Conditions	Min	Typ ²	Max	Unit
Output Drivers						
Load Supply Voltage Range	V_{BB}	Operating	12		35	V
		During Sleep Mode	0		35	V
Output Leakage Current	I_{DDS}	$V_{OUT} = V_{BB}$		<1.0	50	μA
		$V_{OUT} = 0 V$		<-1.0	-50	μA
Logic Supply Voltage Range	V_{DD}	Operating	3.0		5.5	V
Output On Resistance	$R_{DS(ON)}$	Source Driver, $I_{OUT} = -1.5A$		540	600	$m\Omega$
		Sink Driver, $I_{OUT} = 1.5A$		540	600	$m\Omega$
Body Diode Forward Voltage	V_F	Source Diode, $I_F = -1.5A$			1.2	V
		Sink Diode, $I_F = 1.5A$			1.2	V
Motor Supply Current	I_{BB}	$f_{PWM} < 50kHz$			8	mA
		Operating, outputs disabled			6	mA
		Sleep or Idle Mode			20	μA
Logic Supply Current	I_{DD}	$f_{PWM} < 50kHz$			12	mA
		Operating, outputs disabled			10	mA
		Idle mode (Word 1, D18 = 0)			1.5	mA
		Sleep Mode			100	μA
Control Logic						
Logic Input Voltage	$V_{IN(1)}$		2			V
	$V_{IN(0)}$				0.8	V
Logic Input Current	$I_{IN(1)}$	$V_{IN} = 2V$		<1.0	20	μA
	$I_{IN(0)}$	$V_{IN} = 0.8V$		<1.0	-20	μA
Logic Input Hysteresis			0.2		0.4	V
Minimum sleep pulse width	t_s		>2			μs
OSC input frequency	$f_{OSC(in)}$	Divide by 1 (Word 2, D13=0, D14=1)	2.5		6	MHz
OSC input duty cycle			40		60	%
Internal Oscillator	f_{OSC}	OSC shorted to GND	3	4	5	MHz
		ROSC = 51 k Ω	3.4	4	4.6	MHz
DAC Accuracy	V_{DAC}	Measured relative to REF buffer output		± 0.5		LSB
Reference Input Voltage Range			0.5		2.6	V
Reference Buffer Offset	V_{OS}			± 10		mV
Reference Divider Ratio	V_{REF} / V_{SENSE}	Word 0, D18=0, D17=1, $V_{REF} = 0.5$ to $2.6V$	7.4	8	8.8	
		Word 0, D18=1, D17=1, $V_{REF} = 0.5$ to $2.6V$	3.6	4	4.4	
Reference Input Current	I_{REF}	$V_{REF} = 2.0 V$	-0.5		0.5	μA
Internal Reference Voltage	V_{REFINT}		1.940	2.0	2.060	V
Comparator Input Offset Volt.	V_{IO}	$V_{REF} = 0 V$	-5		5	mV
$G_M Error^3$	V_{ERR}	Internal V_{REF} , Range=8, DAC=63	-6		6	%
		Internal V_{REF} , Range=8, DAC=31	-9		9	%
		Internal V_{REF} , Range=4, DAC=63	-6		6	%
		Internal V_{REF} , Range=4, DAC=15	-10		10	%

Propagation Delay Times	t _{pd}	50% to 90%; PWM change to source on	500	800	1000	ns
		50% to 90%; PWM change to source off	35		250	ns
		50% to 90%; PWM change to sink on	500	800	1000	ns
		50% to 90%; PWM change to sink off	35		250	ns
Crossover Dead Time	t _{DT}		300	650	900	ns
UVLO Enable Threshold	V _{UVLO}	VDD rising	2.7	2.8	2.9	V
UVLO Hysteresis	V _{UVLOHYS}			0.1		V
Protection						
Overcurrent Protection Threshold ⁴	I _{OCPS}		2			A
Overcurrent Blanking	t _{blank}		1		3	us
Thermal Shutdown Temperature	T _{TSD}			165		°C
Thermal Shutdown Hysteresis	T _{TSDHYS}			15		°C

¹对于输入/输出电流，我们将从指定器件引脚流出的电流定义为负电流。

²典型数据仅是在最佳制造和应用的假设条件下的数值，仅供初步设计估算使用。对于个体芯片，性能可能有所不同，均在最大值和最小值间。

³ $VERR = [(VREF / Range) - VSENSE] / (VREF / Range)$

⁴过流保护(OCP) 门限值是指在T_A=25°C 下能够保证性能的值

b>| Ö ýF

HR3992 FJE÷ 94i b k4i x f Ä 5F0; İ7- qAè 0 W&¥#k, 'Gj5ž PWM •iG)+e jPj Ø Ä b>| ž T Z 19 },
 ‡•É•É!j 0 Z" (©•F9 _ 0 Z ‡ ÄF Gü0 WORD 0 ¼WORD 1 ÄÈ!%o 18" (©j ž Ä

WORD 0

}	İ7-	ýF
D0	Word Select = 0	F9 ‡ 0
D1	Bridge 1, DAC, LSB	• 1 È4i W DAC È6" (© Aî5ž!•F - 7 +e#qÄ fAî5ž p 9" (© j 0 & È~ • 1>Û £L Èp 9EÄ * £ L Ä
D2	Bridge 1, DAC, Bit2	
D3	Bridge 1, DAC, Bit3	
D4	Bridge 1, DAC, Bit4	
D5	Bridge 1, DAC, Bi5	
D6	Bridge 1, DAC, MSB	
D7	Bridge2, DAC, LSB	• 2 È4i W DAC È6" (©Aî5ž!•F - 7+e#q Ä fAî5ž p 9" (© j 0 & È~ • 2>Û £L Èp 9EÄ * £ L Ä
D8	Bridge2, DAC, Bit2	
D9	Bridge2, DAC, Bit3	
D10	Bridge2, DAC, Bit4	
D11	Bridge2, DAC, Bit5	
D12	Bridge2, DAC, MSB	
D13	Bridge 1 Phase	Aî5ž+e j-(1+e#q#q A Ö 0 ÖOUT1A=L ÈOUT1B =H 1 ÖOUT1A=H ÈOUT1B =L
D14	Bridge2 Phase	Aî5ž+e j-(2+e#q#q A Ö 0 ÖOUT2A=L ÈOUT2B =H 1 ÖOUT2A=H ÈOUT2B =L
D15	Bridge 1 Mode	Aî5ž • 1 > ý Q ? Ö 0 \$' 8> ý 1 '> ý
D16	Bridge2 Mode	Aî5ž • 2 > ý Q ? Ö 0 \$' 8> ý 1 '> ý
D17	Reference Select	Aî5ž ò63+e »F9 Ö 0 µG 2 V ò63+e » 1 FG REF1Ñ7J :+e »
D18	Gm Range Select	L" €F9 Ö 0 /8 ITRIP = VDAC / (RSENSEX8) 1 /4 ITRIP = VDAC / (RSENSEX 4)

WORD 1

Bit	Field	Description
D0	Word Select =1	F9 = 1
D1	Blank Time LSB	A15#LÀ &L\$ ^ € Ä
D2		D2 D1 Time 0 0 4 xPosc 0 1 6 xPosc 1 0 8 xPosc 1 1 12 xPosc
D3	Off Time LSB	5 " (©A15ž * È £L &L\$ È È5 µG PWM x f+e
D4	Off Time Bit1	D ÄÄN1Ç ² ; Ö
D5	Off Time Bit2	T _{off} = (1 + n) x Posc x 8 – Posc È n = 0 to 31x
D6	Off Time Bit3	» ² È fF9 kNÁ 4MHz ÄPosc=250nsÄ, l * È £L &
D7	Off Time MSB	L\$ p 1.75us#63.75us,ÏGÿ j 2us.
D8	Fast Decay Time LSB	4 " (©A15ž > &L\$ È È5 µG PWM x f+eD Ä
D9	Fast Decay Time Bit1	AÑ1Ç ² ; Ö
D10	Fast Decay Time Bit2	T _{fd} = (1 + n) x Posc x 8 – Posc È n = 0 to 15x
D11	Fast Decay Time MSB	» ² È fF9 kNÁ 4MHz ÄPosc=250nsÄ, l * È £L & L\$ p 1.75us#31.75us,ÏGÿ j 2us. ² ï T _{fd} > T _{off} ÈÄî 7 OE X > ÿ Q ?
D12	C0 Oscillator Control	2 " (©A15ž &JÏF9 Ö
D13	C1 Oscillator Control	D13 D12 source and rate 0 0 Internal clock 4 MHz 0 1 External clock f ÷ 1 1 0 External clock f ÷ 2 1 1 External clock f ÷ 4
D14	SR Control Bit 1	2 " (©A15ž = <, ' <!• ¢ #q Ï7- Ö
D15	SR Control Bit2	D15 D14 Synchronous Rectifier 0 0 Active 0 1 Disabled 1 0 Passive 1 1 Allegro defined use
D16	Reserved for testing	2 " (© +%o È!" .ž OE &M0 É 0
D17	Reserved for testing	
D18	Idle Mode	0 ^a L" Q ?A15ž Ö 0 low power Idle mode ÈEÄ * £L È+e9S#% £L 1 !" h OE

İ7- yF

VREG: +eD µG x+O,´ * ö+e » ÈX ¼ ~1 L 4x
Pj Ø,´ DMOS\$À ÄVREGFG öN«FJE÷ 0 Z 0.22uF
+e é6V 8 ` ` Ä VREGÛµG +eD - ?ö Èf µG VREG
"Ñ 9!" h CE & È DMOS&EÄ *>Û/±!' Ä

+e9\$#% ÄP1 ¼ CPÄ +e9\$#%+X •+O @ 0 ZQ
¼VBB,´+e » ÈëPj Ø\$À DMOS,5 ± Ä0 Z 0.22uF
,´Li+´+e é Ö X CP1ÄCP2{L\$ Èj}à+e9\$#%,´-,´ Ä
0 Z 0.22uFLi+´+e é Ö X VCFÄVBB{L\$ È+X •
Ø+e9\$ È ëPj Ø\$ÀDMOS& Ä
+e é IM0 j Class2 ûCX Èf 15 Á 0 W# Ø F656@ »
R4x È i ž EIAÄ

#,LÄ(Blanking) ÖfEÄ * X µG +e#q x f+eD CE+X
; 0 £ & ÈB İ7- •;m+e#q ð#{ " E³~,´EÄ * ÈLb
!+a ¾Jä } ¼ ±1Ñ ý A ´ =+e#q È úCOE+e é,
0 £-Ü 1+e#q ,8\$,´KIB ,´E÷#q ð#{ Ä#,LÄ &L\$+a
WORD,1 D2ÄD1 ¼ KNÄ ä È Ä

+e#qAi5žÖ ò63+e » FJE÷REF1Ñ7J Q EÄ • F
65F9 µG 2V ò63+e » Äò63+e » ¼ g+eLk?ù Ç
EÄ * 0 W I+e#q ÈÄÑ1Ç²; Ö
ITRIPMAX = VREF / (Range xSENSE)È
p!•F +e#q W ?Ai5ž²; Ö
ITRIP = VDAC / (Range xSENSE) È
VDAC = ((1+DAC) xVREF) / 64È
!j DAÇ b>|EÄ • I È93 \$ p 1 ` 63 ÄWORD0
D1 ` D12Ä È Range j 4 F 8 È+ta WORD 0,´ D18
ä È Äf DAC >Û5F0; j 0 & È-(Ä,´~ •>Û £L È
EÄ * 0 ?COE+e#q Ä

PWM &Jİ Ö PWM &Jİ _ 5F0; ,´FJE÷ b>| Ö
È x+O * È £L &L\$,´ PWM ´ • x f Q ± Ä
X\$' 8> ý Q ? È * È £L &L\$,´ 1\ 0G 6 _
> ý È-\$` > ý &L\$5 • ÈD -p _ '> ý-\$`
* È £L &L\$5 • Ä² İAi5ž,´ > ý &L\$ W ¾
* È £L &L\$ È I ~ & 0-\$F >| X > ý Q ? Ä

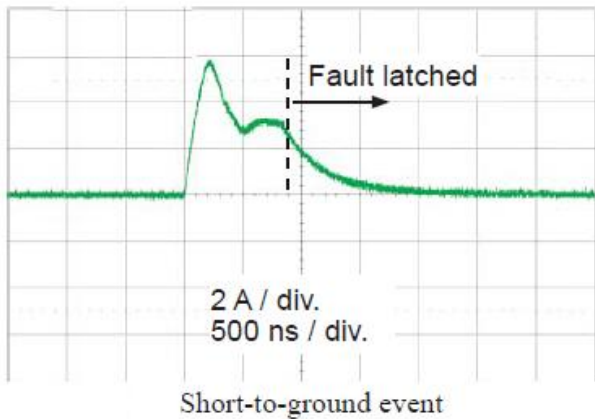
_9´ ~ Ö PWM &Jİ _ * ¾ 0 Z _9'NÄ)•EÄ • È
FJ h j 4MHz ÄHR3992 F9 µG 4MHz &
Jİ È F65M0?± \$Q ,´2î Ö È I 0 Z FG &Jİ
FJE÷OSC 1Ñ7JEÄ • Ä² İF9 FG &Jİ È µG 3
/ý 6NÄ é x FJE÷ b>| Ö •F9 ÈF g` Ç *
¾3+5 &Jİ \$ é C •F9 fosc Ä² İF9 ´+X µ
G &Jİ È I5)2î Ö+a R ÄC ä È Ä 0 ZQ 2î Ö
+eLkF Ö X1Ñ7JOsc ` VDD ÈNÄ)•ÄÑ1Ç²; Ö
fosc= 204 x10⁹ / Rosc
² İF9 µG &Jİ È <"Ñ 9 FG +eLk & ÈÑ7J OSC
M0 Ö ` GND Ä

A-P Q ?(nSLEEP) Ö f ~ & = CE & È x f
SLEEPE7J 6~ & 6F • A-P Q ? È p6< W WL}
~ ~ & 0²L",´ İ6G ÄF • A-P Q ? > ~ &,´ WG 6
µG +eD 5 DMOSÄ *+eD Ä #q ~ ú+e9\$#%1y
G-6 CE! CE Ä SLLEPE7JEÄ • FKEÄ ~+e £ & ~
&F •-P Q ? Ä0 SLEEPE7J>Û5ž ~ È b>| Ö
>Û = } ÈL" ¶ WORD,1 D7Ä * È £L &L\$,´ 0
Q } Ä>Û5ž 1 F È ! % p 9 } >Û5ž 0 ÄF _j ¶ Lb
!' * È £L &L\$ Z. ÈF J#,6G 0&é&é+e#q Ä f!
EÄ • FKEÄQ +e £ & ÈB+5 ´ = `! h,´ ý CE(æ 1 |
6 ~ &,´EÄ * N'5ž` HOM(æ 1 Ä j ¶ µG +e9\$#%
´ = 0c È CE ÈX SLEEP = Q +e £ ! & & 1ms>
!•F - }7-C\$ CE+X Ä

SHUTDOWN £ Ý Öf\$Y ÖCµE÷5 \$Y ÈF65VCP
F VREÇ » & È x+O 0 ZKIB » & È!" &+eD ,´
EÄ *>Û/±! È-\$` +eD 7a/ëF ZKIB » & ÄX+eD
: +eE÷0; j È VDD-e » F "Ñ 9Ei` +e » L8 | & È VDD
,´!P » L K1+eD ´Pj Ø ~ /±7- È b>| Ö ž>Û =
} Ä

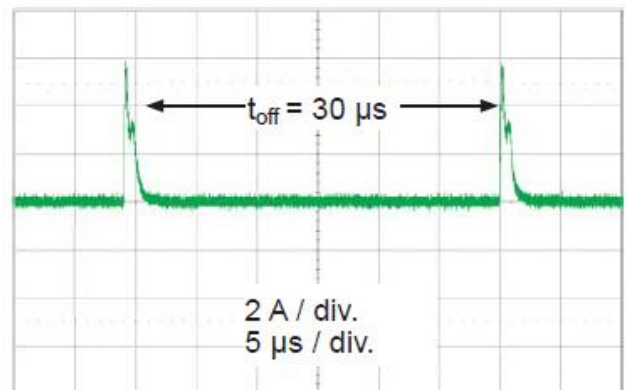
MUX ÖMUX 1Ñ7J j +% A (µG ´+X È) ¾4ø1
Ö g"Ñ 9 + ... İ7- Äp X´+X j È 6!"1Ñ7J Ö
` F65 Ü#ž Ä

)\`D ÔÖ f+ej´OD +O)\`D È#qE÷!"
 .DD ´+e#qJU—:wÈ-\$`CµE÷E÷#q ÔL8I È
 0?j 2A Ä!" & È4ÿE÷ 0Z 5F0;: ²&& ÈP;Ø
 ~J>Û ÈL ;D>ÛK1 È Ä8ß(wJ>Û 0-\$K1 È È-\$`
 SLEEP 1Ñ7J>ÛùQ ÈF65 VDD +e\$Ä>Û èL" Ä)\`
 D Jx+O... ZE÷#q » & È n/j²; .Ä



Short-to-ground event

COE-. D Ô Ö fCOE-. D +O & È+e#q#q4ÿD
 ´4ÿE÷ g+eLk Ä!" & ~ & J>Û Ô È v_~ & =
 JAÔ jF _ 0/ýKIB » & È j+e#qD "Ñ 9>Û f
 Ý È p ~ & = J>ÛK1 È Ä
 f 0 Z •Û f 0 È+e#q J : w Èf >CµE÷E÷#q
 L8I ÄÿE÷ 0 Z#,LÀ &L\$ È W² _ 1us,P;Ø ~ J è
 ð#{ SENSEÑ7J;:´+e » Ä!" & È SENSEÑ7J;:´
 +e » J CµE÷ Ì ž+a REFÑ7JAÏ È´+e » ÈF g • J
 >Û ÈL 0!â &L\$ È &L\$K Ö+a OSCÑ7J ã È Ä; .
 n/j ¶COE-. D » & È Äi5ž * È ÈL &L\$ j 30us Ä



Short-to-load event

<•#q (SR)Öf 0Z PWMEL Ú)ß>Û • È Ý -
 F65 µG * È ÈL &L\$@ È COE+e#q J Í ž
 FKEÄÄi5ž,´ > ÿ Q ?5 5 #qFJ ÄX+e#q> ÿ OL\$ È
 HR399,´ <!•#q Ì7-J f 0) Ä,´ FETÈ+a ¾
 FET,´ ,FJ+eLk ~ È9 x,´ f ¼ ±1Ñ. D ÄF g
 9 x,´L} ~ ¶ Ì6G È < & È X, J Ä+X j 8 È-1
 è ¶ F5ž6Æ(© * ¼ ±1Ñ Ä
 9/ý > n 4 2,´ Q ? FJE÷ b>| Ö x
 f Ö

1. *Active mode.*
 = qAèCOE+e#q ý A#qFJ Ä f0 +e#q"d
 È>Û ð#{ ` È <!•#q>Û È Ý Ä
2. *Passive mode.*
 qAè+e#q ý A È v_ f ý A+e#qEi` Äi
 ÈL8I J ÈL <!•#q Ä
3. *Disabled.*
 X * È ÈL &L\$,´ > ÿG 6 È = qAè
 7' MOSFEÄ f X' > ÿG 6 & È MOSFET
 ,´ ~ » x>Û f 0 ÈF g #q+e#q#q4ÿ ~ » x
 MOSFE¼ ~ » x f ¼ ±1Ñ Ä

+eD Ä+X Ÿ

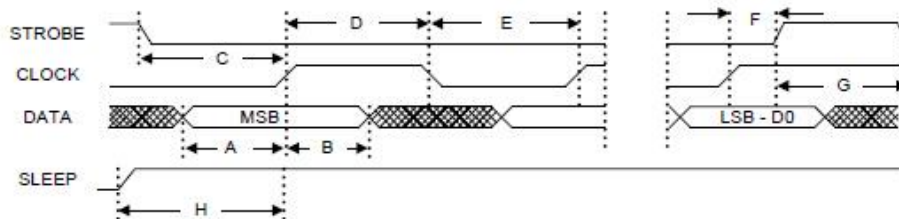
+e#q gAî5ž Ö j¶Ÿ? j`4i:;`ô+O+eLk EC§,`B ÈPœEî+e#q,` g+eLk RSÖ`,`4i?±...)
Aî5ž Èÿ?; 3P EC§,`B Ä...)`,`4i 04ø?±F Ö`O(æ 6 3,`4i k4i: ÈB F 4i?± m 7-,` È
) ?Lk l,` RsÈ+a ¼Rs ;,` »L} V=I*Rs ? ¼ 0.5V ÈPCB;`F 4i »L} > 0.5V,` +e » 6 n Ç = -?ö È
F 0&é?±63<•F ë Ä

PCBmGÿF } -+X #(B Eœ Ö x È#(B x,`F Ö+eLk 7- J i Rs,` W ? È)+eD FP @B Ä Rs l
,`F9 F¥Ú; G œ ? Ö

RsÜ0.5/I TRIPmax

' Ö Ö f µG +eD 5 \$Y Q µE=165 & ÈE÷\$Y Q ± 0 û œ È £ Ý µG J 9P i Ø+eD ÄE÷\$Y Ö+eD Ö+e
D \$Y ÖE÷Q x+O,`L NÈ È6< = Ä)EÄ *. D,` õ à x+O j ý Ä' £ Ý,`L8 IOÇ W ? j 15 Ä

b>| Ö É & ; Ö CLOCK,` : w"i È DATAÜ0+F ô ^ ~ Ä!" h õ à ; È STROBE1Q +e £ È 9 f>Ü
5ž ~ & È } M ù F 0 Z É Ú)ß Ä ž 0Q } x>Ü ÉF ë ÄB' ò63 ; . & ; Ä



Serial Port Timing Diagram

Table with 4 columns: Parameter (A-I), Value (e.g., 15 ns, 10 ns, 120 ns, 40 ns, 40 ns, 50 ns, 120 ns, 50 µs, 1 ms), and Description (e.g., Minimum Data Setup Time, Minimum Data Hold Time, etc.)

(x.# ? »N© Ö PCB- : Ä?¶Aî W ±,`"" (w È `4i,`F Ö Ä 9 ,`í,`4i?¶4i Ä j ¶ H F+eD ,`+e(© W ¼

' ò W7- È8B(w ÄB -\$ Ö3WCd X "" (w : Ä

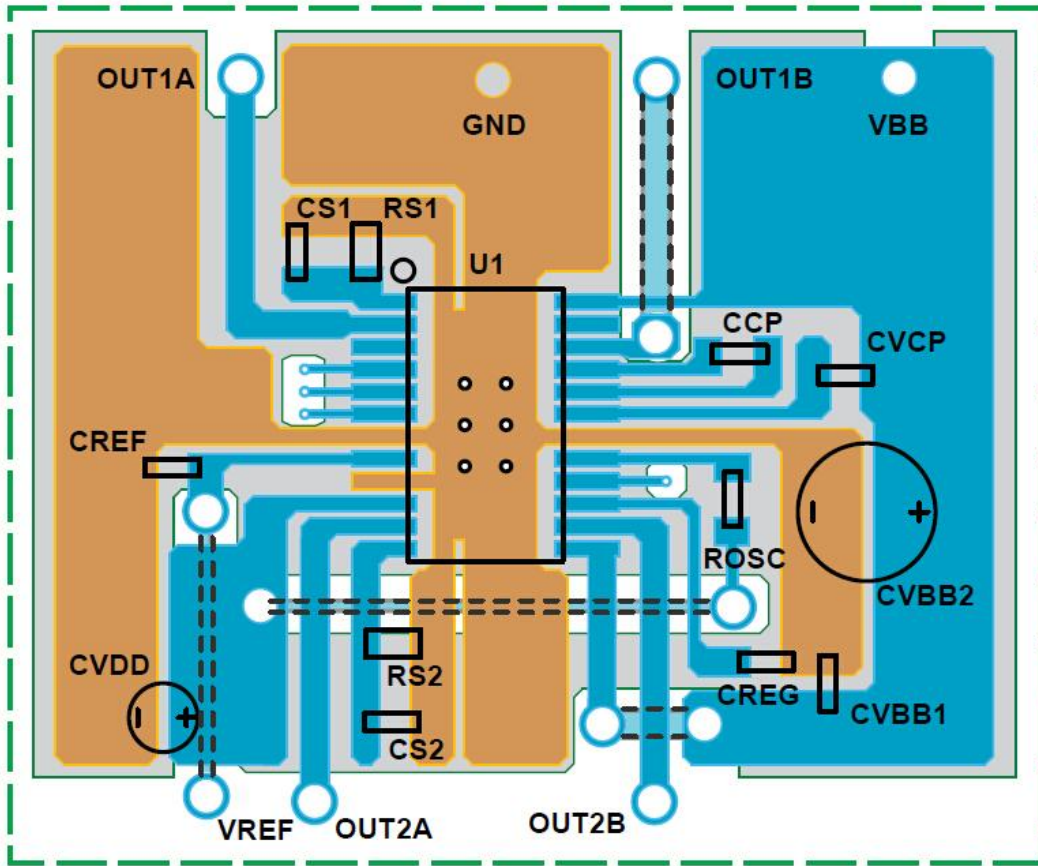
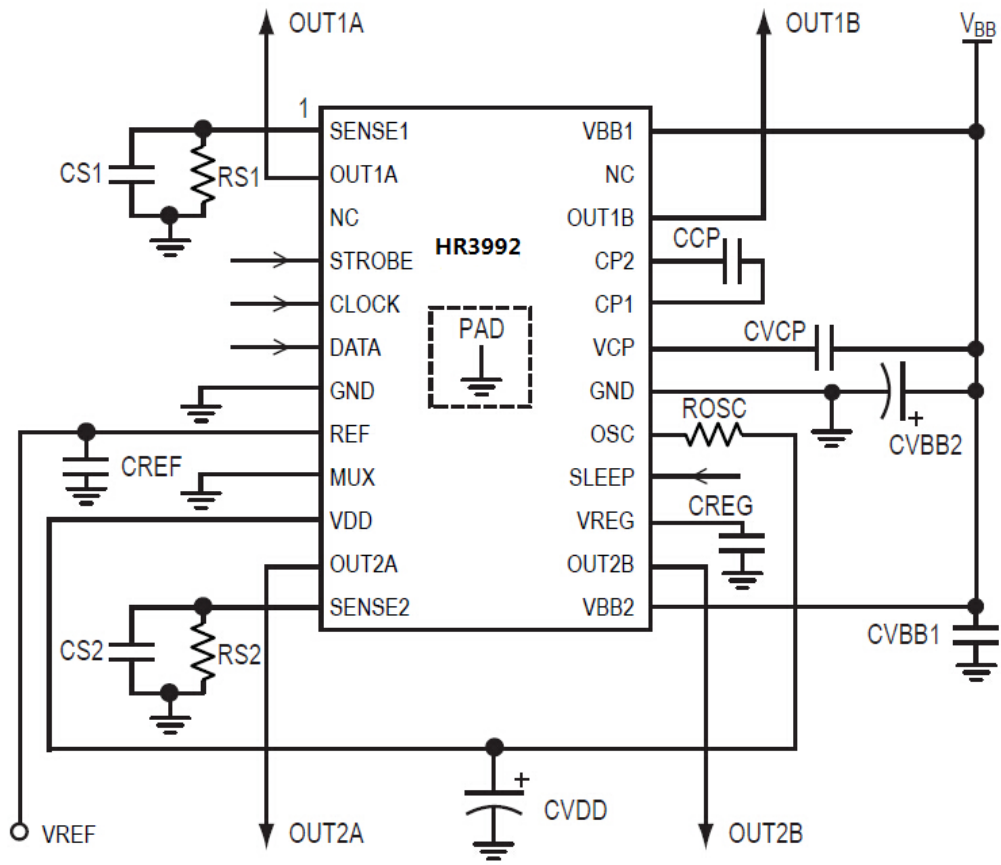
) +e ±+e\$À VBBÈ ÄB F Ö = ? ¼ 47uF,`+e@ +e é) `6V 8 È+e é Ä m 7-,`M•F ~ & v n Ä

j ¶F } Q FO dv/dt ' EC§,`+e é6V 8L NÈ ÈP i Ø+eD EÄ *1 +eD ?¶4i ÄF /ëFKEÁ x fEÄ •1 ,`?¶4i Ä

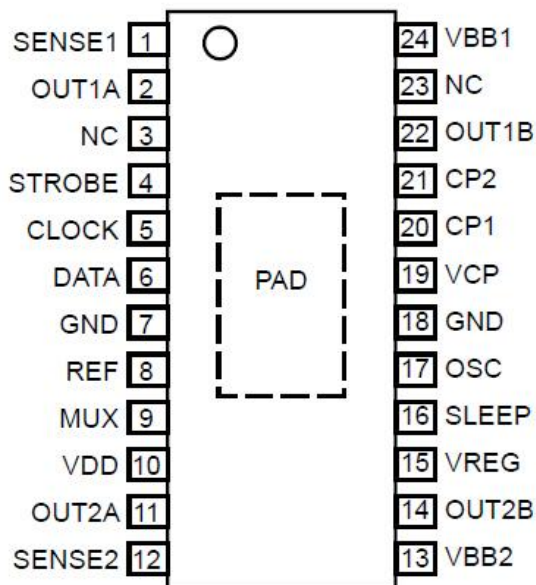
FKEÁ x f1 ,` E4i ÄG÷+X ~Lk Ç,`C 4i L} ~' Lk EC§,` š Ä

`4iAî5ž Ö p 9,`4iG- ÄF Ö X 0C§ È DF 4iF Ä i m 7-,` Ä 0 Z } ¼ ~ & ;,`O(æ " ;,`4i?¶Aî È

6 _ 0 Z H F,`Aî AÑ Ä X?¶Aî,`4i; é Î Ð 0 Z K "" (w J \$ -,` H F+eD W7- Ä



Device Pinout Diagrams

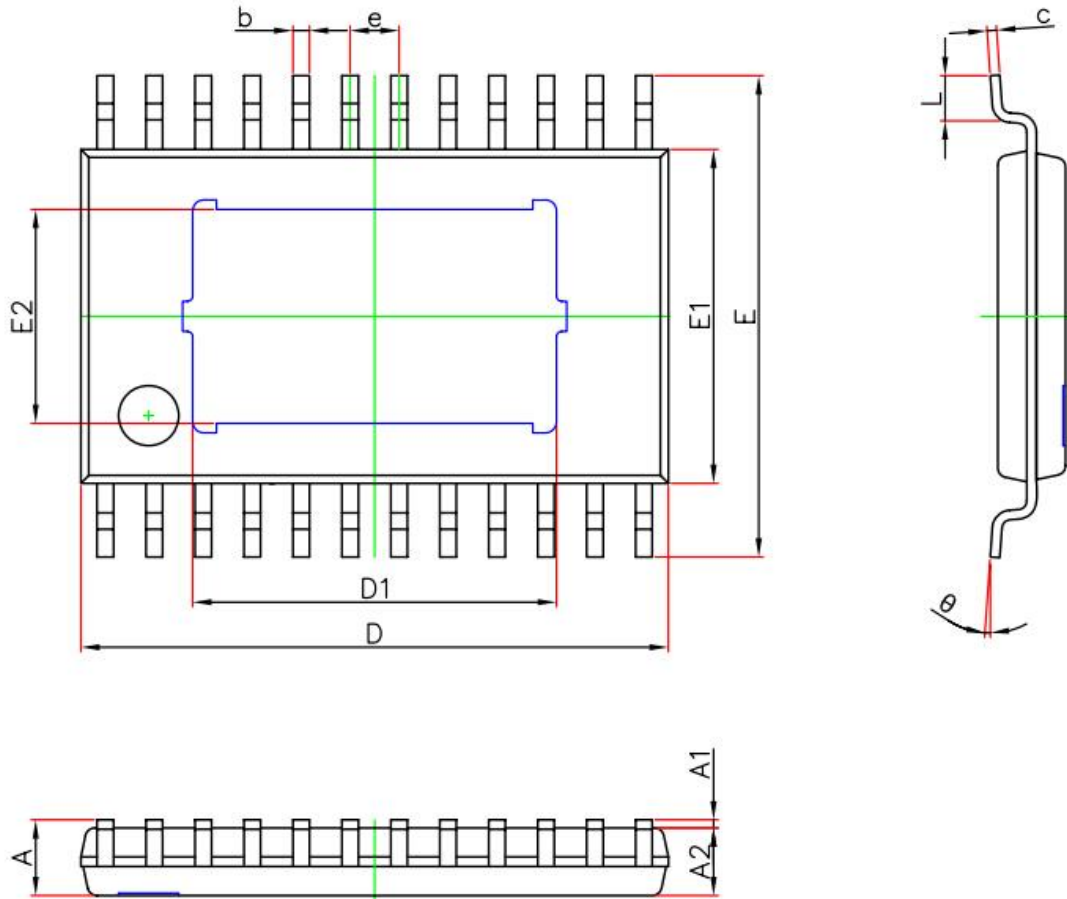


Terminal List Table

Number	Pin Name	Pin Description
1	SENSE1	Sense resistor terminal for Full Bridge 1
2	OUT1A	DMOS Full Bridge 1, output A
4	STROBE	Logic input
5	CLOCK	Logic input
6	DATA	Logic input
7,18	GND	Ground.
8	REF	G_m reference input
9	MUX	Not used
10	VDD	Logic supply
11	OUT2A	DMOS Full Bridge 2, output A
12	SENSE2	Sense resistor terminal for Full Bridge 2
13	VBB2	Load supply
14	OUT2B	DMOS Full Bridge 2, output B
15	VREG	Internal regulator
16	SLEEP	Logic input
17	OSC	Oscillator input
19	VCP	Reservoir capacitor terminal
20	CP1	Charge pump capacitor terminal
21	CP2	Charge pump capacitor terminal
22	OUT1B	DMOS Full Bridge 1, output B
24	VBB1	Load supply
3,23	NC	No connection
	PAD	Exposed thermal pad for enhanced thermal dissipation.

PACKAGE

TSSOP24 with exposed thermal pad



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	—	1.200	—	0.047
A1	0.050	0.150	0.002	0.006
A2	0.800	1.050	0.031	0.041
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
D	7.700	7.900	0.303	0.311
D1	4.730	4.930	0.186	0.194
E	6.250	6.550	0.246	0.258
E1	4.300	4.500	0.169	0.177
E2	2.750	2.950	0.108	0.116
e	0.650(BSC)		0.026(BSC)	
L	0.450	0.750	0.018	0.030
θ	0°	8°	0°	8°